

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2003 EPO. All rts. reserv.

10768594

Basic Patent (No,Kind,Date): JP 4268536 A2 920924 <No. of Patents: 002>

ACTIVE MATRIX SUBSTRATE AND PRODUCTION THEREOF (English)

Patent Assignee: SHARP KK

Author (Inventor): MITANI YASUHIRO; TANAKA HIROHISA; IKUBO KATSUMASA

IPC: *G02F-001/136; G02F-001/1333; G02F-001/1343; H01L-021/90; H01L-027/12;

H01L-029/784

Derwent WPI Acc No: G 92-368660

JAPIO Reference No: 170058P000082

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date	
JP 4268536	A2	920924	JP 9130074	A	910225	(BASIC)
JP 2677714	B2	971117	JP 9130074	A	910225	

Priority Data (No,Kind,Date):

JP 9130074 A 910225

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

03903436 **Image available**

ACTIVE MATRIX SUBSTRATE AND PRODUCTION THEREOF

PUB. NO.: **04-268536** [JP 4268536 A]

PUBLISHED: September 24, 1992 (19920924)

INVENTOR(s): MITANI YASUHIRO

TANAKA HIROHISA

IKUBO KATSUMASA

APPLICANT(s): SHARP CORP [000504] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 03-030074 [JP 9130074]

FILED: February 25, 1991 (19910225)

INTL CLASS: [5] G02F-001/136; G02F-001/1333; G02F-001/1343; H01L-021/90;
H01L-027/12; H01L-029/784

JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 42.2
(ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R004 (PLASMA); R011 (LIQUID CRYSTALS); R096 (ELECTRONIC
MATERIALS -- Glass Conductors)

JOURNAL: Section: P, Section No. 1481, Vol. 17, No. 58, Pg. 82,
February 04, 1993 (19930204)

ABSTRACT

PURPOSE: To electrically connect picture element electrodes and drain electrodes of the active matrix substrate without forming contact holes and to prevent the generation of disconnection in the picture element electrodes.

CONSTITUTION: A TFT 30 is constituted of a TFT body 30a and TFT partial body 30b. The drain electrode part 32b of the TFT partial body 30b is exposed on the surface of an insulating protective film 54. The drain electrode part 32b and the picture element electrode 40 formed on an insulating protective film 54 are electrically connected and eventually the drain electrode 32 and the picture element electrode 40 are electrically connected.

特開平4-268536

(43) 公開日 平成4年(1992)9月24日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0	9018-2K		
1/1333	5 0 5	8806-2K		
1/1343		9018-2K		
H 0 1 L 21/90	A	7353-4M		
		9056-4M		
			H 0 1 L 29/ 78	3 1 1 A
審査請求 未請求 請求項の数 2 (全 6 頁) 最終頁に続く				

(21) 出願番号 特願平3-30074

(22) 出願日 平成3年(1991)2月25日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 三谷 康弘

大阪市阿倍野区長池町22番22号 シャープ
株式会社内

(72) 発明者 田仲 広久

大阪市阿倍野区長池町22番22号 シャープ
株式会社内

(72) 発明者 井窪 克昌

大阪市阿倍野区長池町22番22号 シャープ
株式会社内

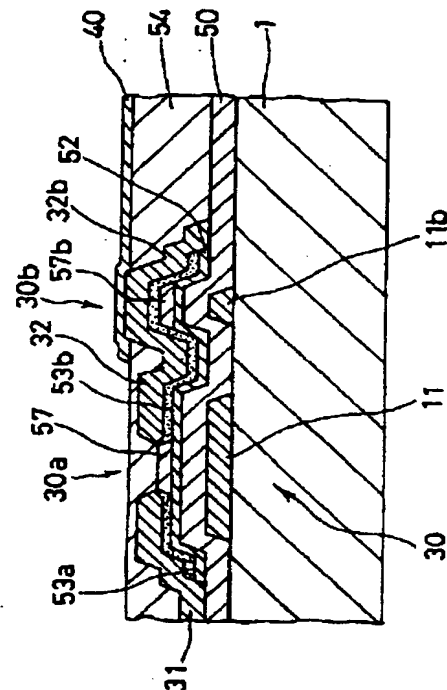
(74) 代理人 弁理士 山本 秀策

(54) 【発明の名称】 アクティブマトリクス基板およびその製造方法

(57) 【要約】

【目的】 アクティブマトリクス基板において、コンタクトホール51を形成せずに、絵素電極40とドレイン電極32とを電氣的に接続し、絵素電極40に断線が発生するのを防止する。

【構成】 TFT30をTFT本体30aとTFT分体30bで構成し、TFT分体30bのドレイン電極部32bを絶縁性保護膜54の表面に露出させ、ドレイン電極部32bと絶縁性保護膜54上に形成される絵素電極40とを電氣的に接続し、結果的にドレイン電極32と絵素電極40とを電氣的に接続する構成とする。



【特許請求の範囲】

【請求項1】 ゲート電極、該ゲート電極にゲート絶縁膜と半導体層を介して少なくとも一部が重畳されるドレイン電極および該ゲート電極と該半導体層を介して少なくとも一部が重畳されるソース電極を有し、透光性絶縁基板上にマトリクス状に形成される薄膜トランジスタ本体と、該薄膜トランジスタ本体から連設され、該薄膜トランジスタ本体の該ドレイン電極よりも高くなったドレイン電極部を有する薄膜トランジスタ分体と、該ドレイン電極部が露出された状態で該薄膜トランジスタ本体および該薄膜トランジスタ分体を覆うようにして該透光性絶縁基板上に形成される絶縁性保護膜と、該絶縁性保護膜上に形成され、該ドレイン電極部に電氣的に接続された絵素電極とを備えたアクティブマトリクス基板。

【請求項2】 突出部同士が重畳するようにしてゲートバスラインおよびソースバスラインを透光性絶縁基板上に配線する第1の工程と、該透光性絶縁基板上の重畳部毎に薄膜トランジスタを形成し、薄膜トランジスタアレイを作成する第2の工程と、該透光性絶縁基板上の全面に絶縁性保護膜を塗布し、焼成する第3の工程と、該絶縁性保護膜をエッチバックして該薄膜トランジスタのドレイン電極の一部を該絶縁性保護膜の表面に露出させる第4の工程と、該ドレイン電極の露出された部分に接続される絵素電極を該絶縁性保護膜上に形成する第5の工程とを含むアクティブマトリクス基板の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、対向基板と貼り合わせられて表示装置を構成するアクティブマトリクス基板およびその製造方法に関する。

【0002】

【従来の技術】 従来より、液晶表示装置、EL表示装置、プラズマ表示装置等においては、マトリクス状に配列された絵素電極を選択駆動することにより、画面上に表示パターンが形成される。より具体的には、選択された絵素電極とこれに対向する対向電極との間に電圧が印加され、これらの電極の間に介在する液晶等の表示媒体の光学的変調が行われ、この光学的変調が表示パターンとして視認される。絵素電極の駆動方式として、個々の独立した絵素電極を配列し、この絵素電極のそれぞれにスイッチング素子を連結して駆動するアクティブマトリクス駆動方式が知られている。絵素電極を選択駆動するスイッチング素子としては、TFT（薄膜トランジスタ）素子、MIM（金属-絶縁層-金属）素子、MOSトランジスタ素子、ダイオード、バリスタ等が一般的に知られている。アクティブマトリクス駆動方式は、高コントラストの表示が可能である、表示容量に制約がない、といった利点を生かして、液晶テレビジョン、ワードプロセッサ、コンピュータの端末表示装置等に実用化されている。

【0003】 図5は従来のアクティブマトリクス基板のTFT130形成部における断面構造を示しており、透光性絶縁基板としてのガラス基板100上には、ゲート電極110が形成される。該ゲート電極110はガラス基板100上に配線されるゲートバスラインから分岐しており、ガラス基板100上には該ゲートバスラインとソースバスライン（いずれも図示せず）が縦横に配線され、両バスラインで囲まれる矩形の領域毎に絵素電極140がマトリクス状に配設される。ゲート電極110はゲートバスラインと同時に形成され、ゲート電極110の上部にはゲート絶縁膜150を挟んでソース電極131およびドレイン電極132を備えたTFT130が形成される。

【0004】 以下にこのアクティブマトリクス基板の断面構造の詳細を説明する。ゲート電極110上には、ゲート絶縁膜150が形成され、該ゲート絶縁膜150上のゲート電極110の上方に相当する部分には、半導体層152がパターン形成される。半導体層152上には、エッチングストッパー層157が形成され、該エッチングストッパー層157の両側に半導体層152に接してコンタクト層153a、153bがパターン形成されている。コンタクト層153a、153bの上には、ソース電極131およびドレイン電極132がそれぞれパターン形成され、これによりTFT130が作成される。

【0005】 そして、以上のようにして形成されたTFT130を覆うようにしてガラス基板100上の全面に絶縁性保護膜（層間絶縁膜）154が形成され、該絶縁性保護膜154上にITO（Indium Tin Oxide）等の透明導電膜をバタニングしてなる絵素電極140が形成される。絵素電極140は絶縁性保護膜154に形成されたコンタクトホール151を通してドレイン電極132に電氣的に接続されている。

【0006】

【発明が解決しようとする課題】 ところで、この種のアクティブマトリクス基板においては、アクティブマトリクス基板の表面を平坦化するためにも、絶縁性保護膜154の膜厚は少なくとも1 μ m以上に設定する必要がある。このように透明絶縁膜154の膜厚が厚くなると、コンタクトホール151形成部における絵素電極140の段差が大きくなるので、これに起因して絵素電極140が折損し易くなり、断線を頻発するという問題がある。

【0007】 このような断線が発生すると、アクティブマトリクス基板を液晶表示装置に組み込んだ場合に、絵素欠陥が発生し、液晶表示装置の表示品位が低下することになる。

【0008】 絵素電極140に上記した断線が発生するのを防止するためには、コンタクトホール151の形状を上部が拡張されたテーパー状にし、段差部における絵

素電極140の形状変化を低減すればよい。しかるに、コンタクトホール151にテーパーを形成するのは容易でなく、また、コンタクトホール151をテーパー状にバターンニングするためには、フォトリソが必要になる。このため、工程数が増え、アクティブマトリクス基板のコストアップを招いていた。

【0009】本発明はこのような従来技術の欠点を解決するものであり、コンタクトホールを不要にし、絵素電極に断線が発生するのを抑止でき、製造効率を向上できるアクティブマトリクス基板およびその製造方法を提供することを目的とする。

【0010】

【課題を解決するための手段】本発明のアクティブマトリクス基板は、ゲート電極、該ゲート電極にゲート絶縁膜と半導体層を介して少なくとも一部が重畳されるドレイン電極および該ゲート電極と該半導体層を介して少なくとも一部が重畳されるソース電極を有し、透光性絶縁基板上にマトリクス状に形成される薄膜トランジスタ本体と、該薄膜トランジスタ本体から連設され、該薄膜トランジスタ本体の該ドレイン電極よりも高くなったドレイン電極部を有する薄膜トランジスタ分体と、該ドレイン電極部が露出された状態で該薄膜トランジスタ本体および該薄膜トランジスタ分体を覆うようにして該透光性絶縁基板上に形成される絶縁性保護膜と、該絶縁性保護膜上に形成され、該ドレイン電極部に電気的に接続された絵素電極とを備えてなり、そのことにより、上記目的が達成される。

【0011】また、本発明のアクティブマトリクス基板の製造方法は、突出部同士が重畳するようにしてゲートバスラインおよびソースバスラインを透光性絶縁基板上に配線する第1の工程と、該透光性絶縁基板上の重畳部毎に薄膜トランジスタを形成し、薄膜トランジスタアレイを作成する第2の工程と、該透光性絶縁基板上の全面に絶縁性保護膜を塗布し、焼成する第3の工程と、該絶縁性保護膜をエッチバックして該薄膜トランジスタのドレイン電極の一部を該絶縁性保護膜の表面に露出させる第4の工程と、該ドレイン電極の露出された部分に接続される絵素電極を該絶縁性保護膜上に形成する第5の工程とを含んでなり、そのことにより上記目的が達成される。

【0012】

【作用】上記構造のアクティブマトリクス基板によれば、絶縁性保護膜の表面に露出したドレイン電極部に絵素電極を重畳すると、ドレイン電極部、すなわち、ドレイン電極と絵素電極が電気的に接続される。従って、コンタクトホールを形成することなく、ドレイン電極と絵素電極の電気的な接続が行える。それ故、コンタクトホールに起因する絵素電極の断線が発生することがない。また、テーパー状のコンタクトホールを形成するためのフォトリソおよびバターンニング工程が不要になる。

【0013】

【実施例】本発明の実施例について以下に説明する。

【0014】図1および図2は本発明の一実施例にかかるアクティブマトリクス基板を示しており、透明のガラス基板（透光性絶縁基板）1上にゲートバスライン10およびソースバスライン20を縦横に配線してなる。ゲートバスライン10とソースバスライン20に囲まれた矩形領域には絵素電極40がマトリクス状に配設される。

【0015】ゲートバスライン10にはゲート電極11が分岐され、該ゲート電極11にはスイッチング素子として機能するTFT30が形成される。TFT30は、ゲート電極11、すなわちゲートバスライン10、ソースバスライン20および絵素電極40にそれぞれ電気的に接続される。

【0016】図1に示すように、TFT30は、TFT本体30aとこれの側方に連設したTFT分体30bを備えてなる。TFT本体30aは、ゲート電極11、ゲート絶縁膜50、半導体膜52、コンタクト層53a、53bおよびエッチングストップ層57をガラス基板1上に積層し、該コンタクト層53a、53bに接するようにしてソース電極31およびドレイン電極32をパターン形成した構成をとる。

【0017】一方、TFT分体30bは、ドレイン電極32の側方に連設されたドレイン電極部32bとガラス基板1との間に、ガラス基板1側より、ゲート電極11から切り離された島11b、前記ゲート絶縁膜50、前記半導体膜52、エッチングストップ層57から切り離された島57bおよび前記コンタクト層53bを積層してなる。

【0018】ガラス基板1上には、TFT本体30aおよびTFT分体30bを覆うようにして絶縁性保護膜54が形成され、ドレイン電極部32bの上方に相当する絶縁性保護膜54上には絵素電極40がパターン形成される。なお、ドレイン電極部32bはドレイン電極32よりも高くなっており、絶縁性保護膜54の表面に露出する上端に絵素電極40が電気的に接続された構造になっている。

【0019】次に、上記した構造のアクティブマトリクス基板の製造方法について説明する。まず、ガラス基板1上にスパッタリング法により厚さ300nmのTa膜を成膜し、次いで、フォトリソを使用してこのTa膜をバターンニングし、ゲート電極11および該ゲート電極11から切り離されたTaの島11bを形成する。

【0020】次に、プラズマCVD法により、厚さ300nmのSiNxからなるゲート絶縁膜50をゲート電極11および島11bを覆うようにしてガラス基板1の全面に成膜する。そして、このゲート絶縁膜50に連続して厚さ20nmのa-Si（アモルファスシリコン）層およびSiNxからなる厚さ200nmのエッチングス

トップ層を積層し、次いで、フォトリソを用いてこれをパターニングしてエッチングストップ層57およびこれから切り離された島57bを形成する。そして、その後、フォトリソを用いて半導体層52を形成する。この半導体層52はTFT本体30aとTFT分体30bにおいて連設している。

【0021】次いで、プラズマCVD法によりガラス基板1の全面にP（リン）をドーピングした厚さ40nmのn⁺a-Si層を積層し、このn⁺a-Si層をフォトリソを用いてパターニングし、コンタクト層53a、53bを形成する。次に、スパッタリングにより、ガラス基板1の全面に厚さ300nmのTiまたはMoの金属層を形成する。そして、フォトリソを用いてこの金属層をパターニングしてソース電極31およびドレイン電極32を形成する。このとき同時にドレイン電極部32bがパターニング形成される。これにより、TFT本体30aおよびTFT分体30bからなるTFT30が作成される。

【0022】次いで、以上のようにして作成されたTFT30を覆うようにして、ガラス基板1の全面に絶縁性保護膜54を形成する。ここで、絶縁性保護膜54は、ガラス基板1の平坦化を図れるものを使用する必要がある。すなわち、そうすることにより、アクティブマトリクス基板を液晶表示装置に組み込んだ場合に液晶分子の配向の乱れを低減でき、表示特性を向上できるからである。それ故、本実施例では、有機系絶縁膜であるポリイミド膜（透明絶縁膜）をスピンコーターによって塗布し、これを焼成して絶縁性保護膜54を得る。

【0023】次いで、絶縁性保護膜54をドライエッチングによりガラス基板1の全面にわたってエッチバックし、これにより、後に形成される絵素電極40と電氣的に接続されるドレイン電極部32bを絶縁性保護膜54表面から露出させる。

【0024】次に、ガラス基板1上の全面に、スパッタリング法により厚さ80nmのITO膜からなる透明導電膜を積層し、該透明導電膜をフォトリソを用いてパターニングして絵素電極40を形成する。絵素電極40の一端部は図示のようにドレイン電極部32bに電氣的に接続され、これによりTFT30と絵素電極40との電氣的な接続が行われる。その後、ガラス基板1上の全面に図示しない配向膜等を形成し、これによりアクティブマトリクス基板が作成される。

【0025】本発明のアクティブマトリクス基板は上記した構造のものに限定されるものではなく、図3および図4に示すように、前記したエッチングストップ層57および島57bを設けない構造のものであってもよい。このような構造によれば、製造工程の簡略化およびコストダ

ウンが図れる利点がある。

【0026】また、上記実施例では、透光性絶縁基板としてガラス基板を用いたが、石英基板、透明プラスチック基板を用いることもできる。

【0027】

【発明の効果】以上の本発明アクティブマトリクス基板によれば、コンタクトホールを形成することなく、TFTのドレイン電極と絵素電極の電氣的な接続が行える。従って、コンタクトホールに起因する絵素電極の断線が発生することがない。それ故、液晶表示装置に組み込んだ場合に絵素欠陥を生じることがないので、液晶表示装置の表示特性を向上できる。

【0028】また、コンタクトホールが不要になることにより、アクティブマトリクス基板の平坦化が容易に図れるので、この点においても、液晶表示装置の表示特性を向上できる。

【0029】また、本発明方法によれば、上記した利点を有するアクティブマトリクス基板を無駄なく、確実に作成できる。

【図面の簡単な説明】

【図1】本発明の一実施例にかかるアクティブマトリクス基板の、図2のA-A線に相当する断面図。

【図2】本発明の一実施例にかかるアクティブマトリクス基板の平面図。

【図3】アクティブマトリクス基板の変形例を示す断面図。

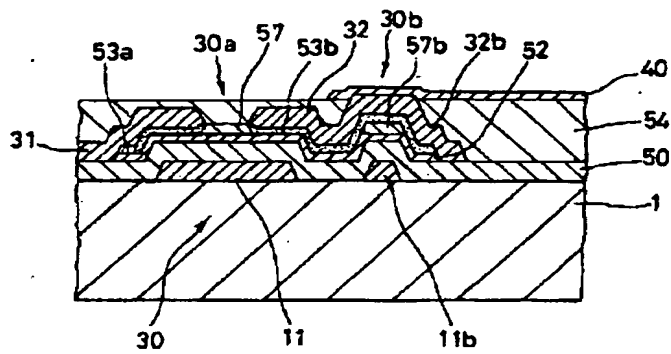
【図4】図3で示されるアクティブマトリクス基板の平面図。

【図5】アクティブマトリクス基板の従来例を示す断面図。

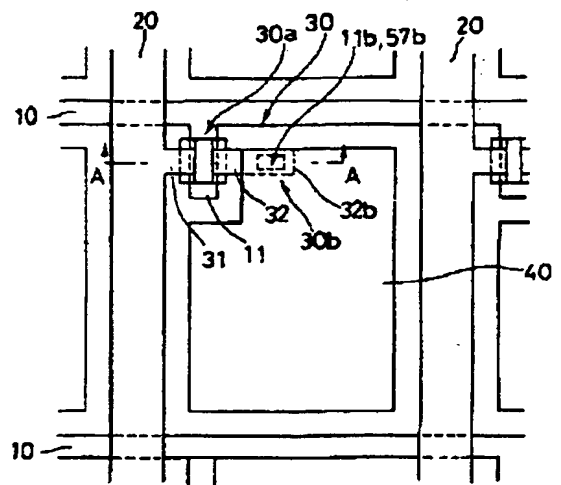
【符号の説明】

- 1 ガラス基板
- 10 ゲートバスライン
- 11 ゲート電極
- 11b 島
- 20 ソースバスライン
- 30 TFT
- 30a TFT本体
- 30b TFT分体
- 31 ソース電極
- 32 ドレイン電極
- 32b ドレイン電極部
- 40 絵素電極
- 50 ゲート絶縁膜
- 54 絶縁性保護膜
- 57 エッチングストップ
- 57b 島

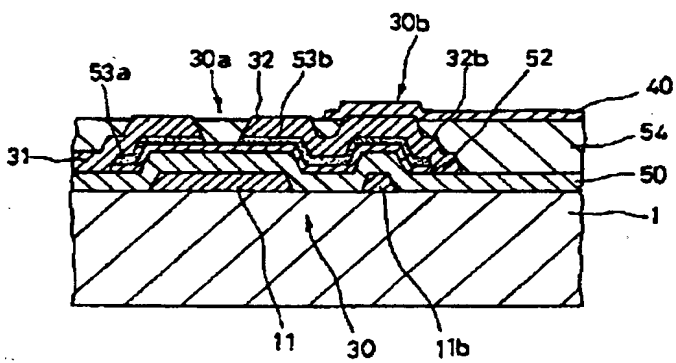
【図1】



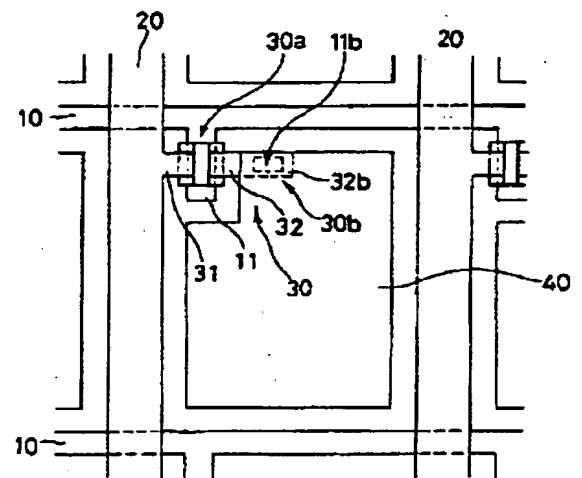
【図2】



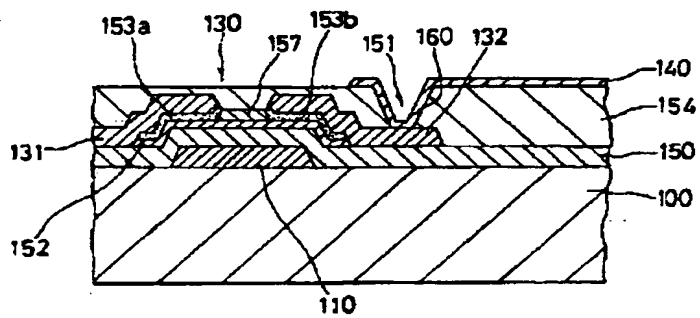
【図3】



【図4】



【図5】



フロントページの続き

(51)Int. Cl.⁵

H01L 27/12

29/784

識別記号 庁内整理番号

A 8728-4M

FI

技術表示箇所